

(11)特許出願公開番号

特開2003-99007

(P2003-99007A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl. ⁷	識別記号	F I	テラコート [®] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 M 5 C 0 8 0
	6 2 3		6 2 3 F
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数6 OL (全 12 頁) 最終頁に続く

(2)出願番号 特願2001-290641(P2001-290641)

(22) 出願日 平成13年9月25日(2001.9.25)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71)出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72)発明者 筒井 雄介

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100107906

弁理士 須藤 克彦 (外1名)

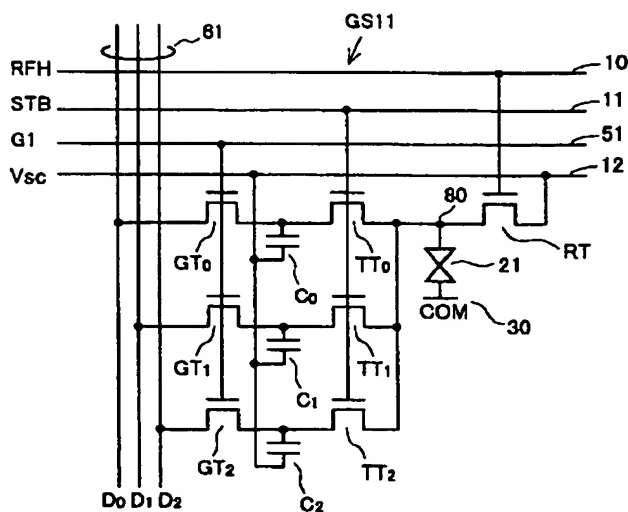
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】画素部の周辺回路の構成を簡単にし、その分パネルの額縁面積を低減する。

【解決手段】画素電極８０と、デジタル映像信号Ｄ０～Ｄ２を供給する複数のドレイン信号線６１と、デジタル映像信号Ｄ０～Ｄ２のビットに対応して容量値の重み付けがなされた複数の容量素子Ｃ０～Ｃ２と、画素電極８０の電圧を電圧 V_{sc} に初期化するためのリフレッシュトランジスタ R_T と、容量素子Ｃ０～Ｃ２に蓄積された電荷を画素電極８０に供給する電荷転送トランジスタ $T_T0\sim T_T2$ と、を備え、デジタル映像信号Ｄ０～Ｄ２に応じたアナログ映像信号を画素電極８０に供給することにより表示を行う。



(2)

【特許請求の範囲】

【請求項1】 複数の画素が行及び列に配置された表示装置において、前記画素毎に、画素電極と、デジタル映像信号を供給する複数のドレイン信号線と、ゲート信号線から供給されるゲート走査信号に応じて画素を選択する画素選択トランジスタと、前記画素選択トランジスタを通して前記ドレイン線からデジタル映像信号を蓄積すると共に、該デジタル映像信号のビットに対応して容量値の重み付けがなされた複数の容量素子と、前記複数の容量素子に蓄積された電荷を画素電極に供給する電荷転送トランジスタと、前記電荷転送トランジスタによって前記電荷を前記画素電極に供給する前に、前記画素電極の電圧を初期化するリフレッシュトランジスタを備え、前記リフレッシュトランジスタのゲートを当該リフレッシュトランジスタが属する画素に走査信号を供給するゲート信号線に接続したことを特徴とする表示装置。

【請求項2】 前記電荷転送トランジスタのゲートを次の行のゲート信号線に接続したことを特徴とする請求項1記載の表示装置。

【請求項3】 前記電荷転送トランジスタを通して前記画素電極に供給された電荷を保持するための補助容量を設けたことを特徴とする請求項1または請求項2記載の表示装置。

【請求項4】 複数の画素が行及び列に配置された表示装置において、前記画素毎に、EL素子と、EL素子に流れる電流を制御するEL駆動トランジスタと、デジタル映像信号を供給する複数のドレイン信号線と、ゲート信号線から供給されるゲート走査信号に応じて画素を選択する画素選択トランジスタと、前記画素選択トランジスタを通して前記ドレイン線からデジタル映像信号を蓄積すると共に、該デジタル映像信号のビットに対応して容量値の重み付けがなされた複数の容量素子と、前記複数の容量素子に蓄積された電荷を前記EL駆動トランジスタのゲートに供給する電荷転送トランジスタと、前記電荷転送トランジスタによって前記電荷を前記EL駆動トランジスタのゲートに供給する前に、前記前記EL駆動トランジスタのゲートの電圧を初期化するリフレッシュトランジスタを備え、前記リフレッシュトランジスタのゲートを当該リフレッシュトランジスタが属する画素に走査信号を供給するゲート信号線に接続したことを特徴とする表示装置。

【請求項5】 前記電荷転送トランジスタのゲートを次の行のゲート信号線に接続したことを特徴とする請求項1記載の表示装置。

【請求項6】 前記電荷転送トランジスタを通して前記EL駆動トランジスタのゲートに供給された電荷を保持するための補助容量を設けたことを特徴とする請求項4または請求項5記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置に関し、特にデジタル映像信号をアナログ映像信号に変換するDA変換機能を備えた表示装置に関する。

【0002】

【従来の技術】近年、携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行われている。

【0003】図15に従来例に係る液晶表示装置の一表示画素の回路構成図を示す。実際の液晶表示装置では、この表示画素が、行及び列にマトリックス状に複数配置され、表示パネルの画素領域を構成している。

【0004】絶縁性基板（不図示）上に、ゲート信号線51、ドレイン信号線61とが交差して形成されており、その交差部近傍に両信号線51、61に接続された画素選択薄膜トランジスタ72が設けられている。以下、薄膜トランジスタをTFTと略す。画素選択TFT72のソース11sは液晶21の画素電極80に接続されている。

【0005】また、画素電極80の電圧を1フィールド期間、保持するための補助容量85が設けられており、この補助容量85の一方の端子86は画素選択TFT72のソース11sに接続され、他方の電極87には各表示画素に共通の電位が印加されている。

【0006】ここで、ゲート信号線51に走査信号（Hレベル）が印加されると、画素選択TFT72はオン状態となり、ドレイン信号線61からアナログ映像信号が画素電極80に伝達されると共に、補助容量85に保持される。画素電極80に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向することにより液晶表示を得ることができる。したがって、動画像、静止画像に関係なく液晶表示を行うことができる。

【0007】ところで、ドレイン信号線61に入力されるアナログ映像信号は、入力デジタル映像信号をDA変換器によりデジタル・アナログ変換して得られる。従来、表示パネル内部にDA変換器を内蔵する液晶表示装置においては、画素周辺部のドライバ回路にDA変換器を配置していた。

【0008】

【発明が解決しようとする課題】しかしながら、従来の液晶表示装置では、表示パネルの額縁に配置されるドライバ回路内にDA変換器が配置されていたため、画素部の周辺回路が複雑になるとともに、表示パネルの額縁面積が増加するという問題があった。特に、階調電圧を外部から入力する場合、階調電圧信号の配線数が階調数の2乗に比例して増加してしまう。

【0009】また、画素の各列に対応してDA変換器を配置する都合上、DA変換器の配置可能な幅には制限が

(3)

3

ある。その幅に配置できるDA変換器は4ビットが限界である。したがって、従来の液晶表示装置では階調の数にも限界を生じていた。

【0010】

【課題を解決するための手段】本発明の表示装置は上述した課題に鑑みて為されたものであり、複数の画素が行及び列に配置された表示装置において、前記画素毎に、画素電極と、デジタル映像信号を供給する複数のドレイン信号線と、ゲート信号線から供給されるゲート走査信号に応じて画素を選択する画素選択トランジスタと、前記画素選択トランジスタを通して前記ドレイン線からデジタル映像信号を蓄積すると共に、該デジタル映像信号のビットに対応して容量値の重み付けがなされた複数の容量素子と、前記複数の容量素子に蓄積された電荷を画素電極に供給する電荷転送トランジスタと、前記電荷転送トランジスタによって前記電荷を前記画素電極に供給する前に、前記画素電極の電圧を初期化するリフレッシュトランジスタを備え、前記リフレッシュトランジスタのゲートを当該リフレッシュトランジスタが属する画素に走査信号を供給するゲート信号線に接続したことを特徴とする。

【0011】かかる構成によれば、画素部においてデジタル映像信号をデジタル・アナログ変換して、表示を行うことが可能となるので、画素部の周辺回路を簡単になるとともに、表示パネルの額縁面積を小さくすることが可能になる。

【0012】さらに、リフレッシュトランジスタのゲートを当該リフレッシュトランジスタが属する画素に走査信号を供給するゲート信号線に接続したので、リフレッシュトランジスタの制御信号線を削減できるので、その分画素面積を縮小することができる。

【0013】

【発明の実施の形態】次に、本発明の第1の実施形態に係る表示装置について図面を参照しながら説明する。図1は、第1の実施形態に係る表示装置の回路図である。図において、簡単のため一つの画素部のみを示しているが、実際の表示装置ではこの画素部が行及び列に、マトリックス状に複数個配置されている。

【0014】絶縁性基板（不図示）上の一方向にゲート信号線51が配設されている。ゲート信号線51にはゲートドライバ（不図示）から走査信号G1が供給される。ゲート信号線G1と交差する方向に3本のドレイン信号線61が配設されている。ドレイン信号線61には、デジタル映像信号の各ビットに対応するデータが外部から入力される。ドレイン信号線D0に最下位ビット、ドレイン信号線D2に最上位ビットが出力される。本実施形態ではデジタル映像信号のビット数は3ビットであるが、このデジタル映像信号のビット数を増加させることにより、さらに多階調の表示が可能である。反対に、デジタル映像信号のビット数を減少させることによ

4

り、低階調の表示として、画素内に配置される回路を簡略化することが可能である。

【0015】画素選択トランジスタGT0～GT2は、各ドレイン信号線61に対応して接続されている。画素選択トランジスタGT0～GT2はいずれもNチャネル型のTFT（Thin Film Transistor）で構成されている。画素選択トランジスタGT0～GT2の各ゲートにはゲート走査信号G1が共通に供給されており、その各ソースには画素選択トランジスタGT0～GT2を通して書き込まれたデジタル映像信号の各ビットに応じた電荷を蓄積するための容量素子C0～C2が接続されている。

【0016】容量素子C0～C2の容量値はデジタル映像信号の各ビットに応じて重み付けがなされている。すなわち、最下位ビットに対応する容量素子C0の有する容量値をCとすると、次のビットに対応する容量素子C1は2C、最上位ビットに対する容量素子C2は容量4Cの容量値をそれぞれ有する。このような容量値の重み付けをするためには、各容量素子毎に、容量電極の対向面積を変えるか、容量電極間の距離を変えればよい。

【0017】電荷転送トランジスタTT0～TT2は、液晶21の画素電極80と画素選択トランジスタGT0～GT2との間に接続されている。すなわち、電荷転送トランジスタTT0～TT2のソースは画素電極80に共通接続されている。対向電極30（共通電極ともいう）には対極駆動信号COMが印加される。

【0018】電荷転送トランジスタTT0～TT2は、いずれもNチャネル型のTFTで構成されている。これらの電荷転送トランジスタTT0～TT2のゲートにはストロープ信号線11が共通に接続されており、ストロープ信号STBが共通に供給されている。電荷転送トランジスタTT0～TT2は、ストロープ信号STBがハイレベルに立ち上がるのに応じて、上述した容量素子C0～C2に蓄積された電荷を画素電極80に供給する。これにより、画素電極80にはデジタル映像信号D0～D2に応じた電圧、すなわちデジタル・アナログ変換がなされた電圧が印加される。

【0019】リフレッシュトランジスタRTは画素電極80の電圧を所定の電圧Vscに初期化するためのトランジスタであり、そのドレインは画素電極80に、そのソースは電圧Vscが供給された初期化電圧線12に、そのゲートはリフレッシュ信号RFHを供給しているリフレッシュ信号線10に、それぞれ接続されている。すなわち、リフレッシュトランジスタRTは、リフレッシュ信号RFHがハイレベルへ立ち上がるのに応じてオンし、画素電極80の電圧を電圧Vscに初期設定する。

【0020】ここで、リフレッシュトランジスタRTによって、画素電極80の電圧が初期化された後に、電荷転送トランジスタTT0～TT2がオンし、画素電極80に容量素子C0～C2に蓄積された電荷が供給される。これにより、画素電極80にはデジタル映像信号D0～D2

(4)

5

に応じた電圧が常に正確に供給される。

【0021】このときの画素電極80の電圧 V_{pix} を求める。デジタル映像信号 $D0 \sim D2$ の振幅電圧を V_D 、液 *

$$C \cdot V_D (D_0 + 2D_1 + 4D_2) + C_{LC} \cdot V_{sc} = (C + 2C + 4C + C_{LC}) \cdot V_{pix}$$

【0023】この式より、 V_{pix} は次式で表される。 ※【数2】

【0024】

※

$$V_{pix} = [C \cdot V_D (D_0 + 2D_1 + 4D_2) + C_{LC} \cdot V_{sc}] / (7C + C_{LC})$$

【0025】次に、上述した液晶表示装置の全体構成を図2及び図3を参照しながら説明する。

【0026】一般に、液晶表示装置は点順次型と線順次型のものがある。点順次型の液晶表示装置はサンプリングパルスに応じて各画素に次々と、映像信号を書き込むものである。一方、線順次型の液晶表示装置は、サンプリングパルスに応じて一水平期間の映像信号を保持し、その保持された映像信号を転送パルスに応じて各ドレイン信号線に出力するものである。

【0027】図2は、本発明を点順次型の液晶表示装置に適用した場合の一例を示す回路図である。図1に示した画素 $GS11$ と同様の画素 $GS12$ 、 $GS21$ 、 $GS22$ 、・・・が行及び列に配置されている。そして、1行目の画素 $GS11$ 、 $GS12$ 、・・・には、リフレッシュ信号 $RFH1$ 、ストロープ信号 $STB1$ 、走査信号 $G1$ 、初期化用の電圧 V_{sc} が供給されている。また、2行目の画素 $GS21$ 、 $GS22$ 、・・・には、リフレッシュ信号 $RFH2$ 、ストロープ信号 $STB2$ 、走査信号 $G2$ 、初期化用の電圧 V_{sc} が供給されている。

【0028】デジタル映像信号 $D0 \sim D2$ は3本の信号線60に供給される。そして各列毎に、信号線60上のデジタル映像信号 $D0 \sim D2$ をサンプリングして、ドレイン信号線61に供給するサンプリングトランジスタ $SPT1$ 、 $SPT2$ ・・・が設けられている。サンプリングトランジスタ $SPT1$ 、 $SPT2$ ・・・のゲートには、シフトレジスタ20からのサンプリングパルスが供給されている。

【0029】シフトレジスタ20は水平クロック CKH に応じて水平スタート信号 STH を順次シフトしたサンプリングパルスを作成する。このサンプリングパルスの立ち上がりに応じてサンプリングトランジスタ $SPT1$ 、 $SPT2$ ・・・が順次にオンし、デジタル映像信号 $D0 \sim D2$ をサンプリングして、ドレイン信号線61に供給している。

【0030】図3は、本発明を線順次型の液晶表示装置に適用した場合の一例を示す回路図である。画素領域の構成については点順次型と全く同じであるので説明を省略する。デジタル映像信号 $D0 \sim D2$ は3本の信号線60に順次供給される。そして各列毎に、デジタル映像信号 $D0 \sim D2$ をラッチする第1のラッチ回路25が設けられている。

【0031】このラッチ回路25は、信号線60上のデジタル映像信号 $D0 \sim D2$ をサンプリングパルスに応じてサンプリングし、一水平期間だけ保持する。サンプリン

6

* 晶21の容量を C_{LC} とすると、以下の式が成り立つ。

【0022】

【数1】

グパルスはシフトレジスタ20によって作成される。すなわち、シフトレジスタ20は水平クロック CKH に応じて水平スタート信号を順次シフトしたサンプリングパルスを作成する。

【0032】第1のラッチ回路25に保持されたデジタル映像信号 $D0 \sim D2$ は、一水平期間終了後に発生する転送パルス TP に基づいて、第2のラッチ回路26にラッチされ、ドレイン信号線61に同時に出力される。

【0033】次に、上述した構成の液晶表示装置の動作タイミングについて説明する。図4に、液晶表示装置のタイミング図を示す。図1に示した画素 $GS11$ について表示を行う場合を考える。まず、走査信号 $G1$ 、リフレッシュ信号 $RFH1$ 及びストロープ信号 $STB1$ はロウであり、画素選択トランジスタ $GT0 \sim GT2$ 、リフレッシュトランジスタ RT 及び電荷転送トランジスタ $TT0 \sim TT2$ は全てオフしている。この状態から走査信号 $G1$ が一水平期間、ハイに立ち上がる。

【0034】すると、画素選択トランジスタ $GT0 \sim GT2$ がオンし、デジタル映像信号 $D0 \sim D2$ の各ビットに応じた電荷が容量素子 $C0 \sim C2$ に蓄積される。なお、デジタル映像信号 $D0 \sim D2$ が変化するタイミングは上述したように、点順次型か線順次型かによって異なる。そのタイミングは点順次型では、サンプリングパルスの発生するタイミングに同期しているので行方向に配列された画素毎に順次ずれていく。一方、線順次型では転送パルスに同期するため、各画素で一定している。

【0035】次いで、リフレッシュ信号 $RFH1$ がハイに立ち上がると、リフレッシュトランジスタ RT がオンし、以前に画素電極80に蓄積された電荷が放電され、その電圧 V_{sc} に初期化される。

【0036】次に、走査信号 $G1$ が立ち下がり、画素選択トランジスタ $GT0 \sim GT2$ がオフする。これにより、画素選択トランジスタ $GT0 \sim GT2$ と電荷転送トランジスタ $TT0 \sim TT2$ の両方がオフするので、容量素子 $C0 \sim C2$ は一時的に電氣的に孤立する。次に、リフレッシュ信号 RFH がロウに立ち下がると、リフレッシュトランジスタ RT がオフする。これにより、画素電極80が電氣的に孤立する。

【0037】その後、ストロープ信号 $STB1$ がハイに立ち上がり、電荷転送トランジスタ $TT0 \sim TT2$ がオンする。すると、容量素子 $C0 \sim C2$ に蓄積された電荷は、電荷転送トランジスタ $TT0 \sim TT2$ を通して画素電極80に供給される。これにより、液晶21の画素電極80

(5)

7

にはデジタル映像信号D0~D2に応じた電圧、すなわちデジタル・アナログ変換がなされた電圧Vpixが印加され、デジタル映像信号D0~D2に応じた階調表示を行うことができる。

【0038】なお、上述した第1の実施形態は、電圧制御の表示装置である、液晶表示装置に関するものであるが、後述する第5の実施形態のように、エレクトロルミネッセンス表示装置のような電流制御の表示装置に変更することができる。この場合、液晶21を、EL素子及びEL駆動トランジスタで置き換えることにより、そのまゝエレクトロルミネッセンス装置を構成することができる。この点は、以下に説明する第2、第3及び第4の実施形態についても同様である。

【0039】次に、本発明の第2の実施形態に係る表示装置について図面を参照しながら説明する。図5は、第2の実施形態に係る液晶表示装置の回路図である。図において、簡単のため一つの画素部のみを示しているが、実際の表示装置ではこの画素部が行及び列に、マトリクス状に複数個配置されている。本実施形態では、3本のドレイン信号線61にデジタル映像信号D0~D2又はアナログ映像信号A0の何れかを切り換えて供給する信号切換スイッチSWを設けたものである。以下、信号選択スイッチSWがアナログ映像信号A0を選択している状態をアナログモード、信号選択スイッチSWがデジタル映像信号D0~D2を選択している状態をデジタルモードと呼ぶことにする。その他の回路構成は、図1の表示装置と同様である。

【0040】次に、上述した構成の液晶表示装置の動作タイミングについて説明する。デジタルモードでは、第1の実施形態と同様に、デジタル映像信号D0~D2がドレイン信号線61に出力される。その動作は第1の実施形態のものと全く同じである。そのタイミング図も図4と同じである。

【0041】一方、アナログモードでは、信号切換スイッチSWの切り換えにより、アナログ映像信号A0が3本のドレイン信号線61に共通に出力される。次に、アナログモードの動作について図6のタイミング図を参照しながら説明する。

【0042】この場合、リフレッシュ信号RFHは常にロウ、ストロープ信号は常にハイであり、リフレッシュトランジスタRTは常にオフ、電荷転送トランジスタTT0~TT2は常にオンしている。走査信号G1が一水平期間、ハイに立ち上がると、画素選択トランジスタGT0~GT2がオンし、アナログ映像信号A0に応じた電圧が液晶21の画素電極80に供給される。すなわち、アナログモードにおいては、表示画素は図15に示した従来例の表示画素と同様に機能するように変更される。ここで、容量素子C0~C2は補助容量85として働き、画素選択トランジスタGT0~GT2は、トランジスタ72として働く。

8

【0043】次に、本発明の第3の実施形態に係る表示装置について図面を参照しながら説明する。図7は、第3の実施形態に係る液晶表示装置の回路図である。図において、簡単のため2つの画素部のみを示しているが、実際の表示装置ではこの画素部が行及び列に、マトリクス状に複数個配置されている。

【0044】本実施形態に係る表示装置は、第1の実施形態に係る表示装置のレイアウトを簡素化したものである。前述の説明のように、電荷転送トランジスタTT0~TT2は画素選択トランジスタGT0~GT2がオフした後に、一定期間オンすればよい。そこで、電荷転送トランジスタTT0~TT2のゲートを次の行のゲート信号線52に接続し、走査信号G2を供給するようにした。

【0045】これにより、電荷転送トランジスタTT0~TT2を制御するためのストロープ信号11を削除することができるので、その分画素を微細化することができる。本実施形態では、電荷転送トランジスタTT0~TT2は一水平期間（走査信号G2がハイの期間）だけオンし、その後はオフしてしまうので、容量素子C0~C2は補助容量としては十分機能しない。そこで、画素電極80の電圧を1フィールド期間、安定に保持するために、これに加えて補助容量85を設けることが必要である。

【0046】次に、上述した構成の液晶表示装置の動作タイミングについて説明する。図8に、液晶表示装置の動作タイミング図を示す。まず、走査信号G1、リフレッシュ信号RFH及びストロープ信号はロウであり、画素選択トランジスタGT0~GT2、リフレッシュトランジスタRT及び電荷転送トランジスタTT0~TT2は全てオフしている。この状態から走査信号G1が一水平期間、ハイに立ち上がる。

【0047】すると、画素選択トランジスタGT0~GT2がオンし、デジタル映像信号D0~D2の各ビットに応じた電荷が容量素子C0~C2に蓄積される。次いで、リフレッシュ信号RFHがハイに立ち上がると、リフレッシュトランジスタRTがオンし、以前に画素電極80に蓄積された電荷が放電され、その電圧Vscに初期化される。次に、リフレッシュ信号RFHがロウに立ち下がると、リフレッシュトランジスタRTがオフする。そして、一水平期間の終了後、水平帰線期間を経て、走査信号G2は次の水平期間、ハイに立ち上がる。すると、電荷転送トランジスタTT0~TT2がオンし容量素子C0~C2に蓄積された電荷は、電荷転送トランジスタTT0~TT2を通して画素電極80に供給される。これにより、液晶21の画素電極80にはデジタル映像信号D0~D2に応じた電圧、すなわちデジタル・アナログ変換がなされた電圧Vpixが印加され、デジタル映像信号D0~D2に応じた階調表示を行うことができる。

【0048】上記の構成に加えて、3本のドレイン信号線61にデジタル映像信号D0~D2又はアナログ映像信

(6)

9

号A0の何れかを切り換えて供給する信号切換スイッチSWを設けることもできる。この場合、図9に示すように、アナログモードの場合には、電荷転送トランジスタTT0～TT2のゲートをゲート信号線52から切り離すためのトランジスタ40、電荷転送トランジスタTT0～TT2の切り離されたゲートをゲート信号線51に接続するトランジスタ41を設けてもよい。

【0049】これにより、電荷転送トランジスタTT0～TT2のゲートには、デジタルモード時は次の行の走査信号G2が供給され、アナログモード時にはその行の走査信号G1が供給される。したがって、デジタルモード時には、上記と同様にしてデジタル映像信号D0～D2に応じた階調表示を行うことができるとともに、アナログモード時にはアナログ映像信号A0に応じた階調表示が可能となる。

【0050】なお、信号切換スイッチSWを設け、デジタルモードとアナログモードの切り換えを行う場合であっても、上記のトランジスタ40、41は必ずしも必要ではない。例えば、アナログモード時に2行が同時に選択されるようにした場合、すなわち走査信号G1、G2が2行ずつ同時にハイになるようにゲートドライバを構成した場合である。

【0051】次に、本発明の第4の実施形態に係る表示装置について図面を参照しながら説明する。図10は、第4の実施形態に係る液晶表示装置の回路図である。図において、簡単のため一つの画素部のみを示しているが、実際の表示装置ではこの画素部が行及び列に、マトリクス状に複数個配置されている。

【0052】本実施形態に係る表示装置は、第1の実施形態に係る表示装置のレイアウトを簡素化したものである。リフレッシュトランジスタRTは液晶の画素電極80を電圧Vscに初期化するが、この初期化は電荷転送トランジスタTT0～TT2を通して、容量素子C0～C2に蓄積された電荷が画素電極80に供給される前に行われる。したがって、リフレッシュトランジスタRTは、電荷転送トランジスタTT0～TT2がオンする前にオンすればよい。そこで、本実施形態では、リフレッシュトランジスタRTのゲートを、その画素GS11のゲート信号線51に接続した。その他の構成は、第1の実施形態と同様である。これにより、リフレッシュ信号RFHを供給するためのリフレッシュ信号線10を削除することができるので、その分画素面積を縮小化することができる。

【0053】次に、上述した構成の液晶表示装置の動作タイミングについて説明する。図11に、液晶表示装置のタイミング図を示す。まず、走査信号G1及びストロープ信号はロウであり、画素選択トランジスタGT0～GT2、リフレッシュトランジスタRT及び電荷転送トランジスタTT0～TT2は全てオフしている。この状態から走査信号G1が一水平期間、ハイに立ち上がる。

10

【0054】すると、画素選択トランジスタGT0～GT2がオンし、デジタル映像信号D0～D2の各ビットに応じた電荷が容量素子C0～C2に蓄積される。同時に、リフレッシュトランジスタRTがオンし、以前に画素電極80に蓄積された電荷が放電され、電圧Vscに初期化される。

【0055】一水平期間が終了すると、走査信号G1はロウに立下り、画素選択トランジスタGT0～GT2及びリフレッシュトランジスタRTはオフする。その後、ストロープ信号STBが立ち上がると、電荷転送トランジスタTT0～TT2がオンし容量素子C0～C2に蓄積された電荷は、電荷転送トランジスタTT0～TT2を通して画素電極80に供給される。これにより、液晶21の画素電極80にはデジタル映像信号D0～D2に応じた電圧、すなわちデジタル・アナログ変換がなされた電圧Vpixが印加され、デジタル映像信号D0～D2に応じた階調表示を行うことができる。

【0056】上記第4の実施形態において、第3の実施形態と同様に、電荷転送トランジスタTT0～TT2のゲートを次の行のゲート信号線52に接続し、走査信号G2を供給するようにしてもよい。かかる液晶表示装置の構成を図12に示した。これにより、リフレッシュ信号線10に加えて、ストロープ信号線11も削除することができるので、さらに画素面積を微細化することができる。

【0057】次に、上述した構成の液晶表示装置の動作タイミングについて説明する。図13に、液晶表示装置のタイミング図を示す。まず、走査信号G1及びストロープ信号はロウであり、画素選択トランジスタGT0～GT2、リフレッシュトランジスタRT及び電荷転送トランジスタTT0～TT2は全てオフしている。この状態から走査信号G1が一水平期間、ハイに立ち上がる。

【0058】すると、画素選択トランジスタGT0～GT2がオンし、デジタル映像信号D0～D2の各ビットに応じた電荷が容量素子C0～C2に蓄積される。同時に、リフレッシュトランジスタRTがオンし、以前に画素電極80に蓄積された電荷が放電され、電圧Vscに初期化される。

【0059】次に、走査信号G1がロウに立ち下がる、画素選択トランジスタGT0～GT2及びリフレッシュトランジスタRTがオフする。そして、一水平期間の終了後、水平帰線期間を経て、走査信号G2は次の一水平期間、ハイに立ち上がる。すると、電荷転送トランジスタTT0～TT2がオンし容量素子C0～C2に蓄積された電荷は、電荷転送トランジスタTT0～TT2を通して画素電極80に供給される。これにより、液晶21の画素電極80にはデジタル映像信号D0～D2に応じた電圧、すなわちデジタル・アナログ変換がなされた電圧Vpixが印加され、デジタル映像信号D0～D2に応じた階調表示を行うことができる。

(7)

11

【0060】次に、本発明の第5の実施形態に係る表示装置について図面を参照しながら説明する。図14は、第5の実施形態に係る表示装置の回路図である。図において、簡単のため一つの画素部のみを示しているが、実際の表示装置ではこの画素部が行列上に複数配置されている。また、第1の実施形態を説明した図1と同一の構成部分については同一符号を付し、その説明を省略する。

【0061】本実施形態は、本発明をエレクトロルミネッセンス表示装置に適用した例である。電荷転送トランジスタTT0～TT2の共通接続されたソース44をEL駆動トランジスタ45のゲートに接続されている。EL駆動トランジスタ45はNチャネル型TFTである。EL駆動トランジスタ45のソースには電源電圧VDDが供給され、そのドレインはEL素子46に接続されている。EL素子46は、素子に流れる電流の大きさに応じた輝度で発光する発光素子である。

【0062】EL駆動トランジスタ45のゲートには、EL駆動トランジスタ46のゲート電圧を電圧Vscに初期化するためのリフレッシュトランジスタ47が接続されている。その他の構成については第1の実施形態と同様である。

【0063】上述した構成の液晶表示装置の動作タイミングについて、図4を参照しながら説明する。走査信号G1、リフレッシュ信号RFH1及びストロブ信号STB1はロウであり、画素選択トランジスタGT0～GT2、リフレッシュトランジスタRT及び電荷転送トランジスタTT0～TT2は全てオフしている。この状態から走査信号G1が一水平期間、ハイに立ち上がる。

【0064】すると、画素選択トランジスタGT0～GT2がオンし、デジタル映像信号D0～D2の各ビットに応じた電荷が容量素子C0～C2に蓄積される。次いで、リフレッシュ信号RFHがハイに立ち上がると、リフレッシュトランジスタRTがオンし、以前にEL駆動トランジスタ45のゲートに蓄積された電荷が放電され、その電圧Vscに初期化される。

【0065】次に、リフレッシュ信号RFHがロウに立ち下がると、リフレッシュトランジスタRTがオフする。その後、ストロブ信号STBがハイに立ち上がり、電荷転送トランジスタTT0～TT2がオンする。すると、容量素子C0～C2に蓄積された電荷は、電荷転送トランジスタTT0～TT2を通して、EL駆動トランジスタ45のゲートに供給される。

【0066】これにより、EL駆動トランジスタ45のゲートには、デジタル映像信号D0～D2に応じた電圧、すなわちデジタル・アナログ変換がなされた電圧Vpixが印加される。EL駆動トランジスタ45の導電率は電圧Vpixに応じて変化するので、EL駆動トランジスタ45に流れる電流は電圧Vpixに応じて変化し、EL素子46に流れる電流も同様に变化する。したがって、E

12

L素子46は、デジタル映像信号D0～D2に応じた輝度で発光する。つまり、階調表示を行うことができる。

【0067】また、エレクトロルミネッセンス表示装置については、前述した第2、第3、第4の実施形態の構成を適用することができる。すなわち、第2の実施形態のように、3本のドレイン信号線61にデジタル映像信号D0～D2又はアナログ映像信号A0の何れかを切り換えて供給する信号切換スイッチSWを設けてもよい。

【0068】また、第3の実施形態のように、レイアウトを簡素化して画素面積を縮小するために、電荷転送トランジスタTT0～TT2のゲートを次の行のゲート信号線52に接続し、走査信号G2を供給してもよい。また、第4の実施形態のように、レイアウトを簡素化して画素面積を縮小するために、リフレッシュトランジスタRTのゲートを、その画素GS11のゲート信号線51に接続してもよい。

【0069】なお、上述した実施形態の開示は、本願の特許請求の範囲とその均等の範囲を限定するものではなく、本発明の趣旨を逸脱しない範囲で、種々の変更が可能であり、特許請求の範囲に記載された発明は、かかる変更の全てを含むものである。

【0070】例えば、第1の実施形態～第5の実施形態では、3ビットのデジタル映像信号D0～D2をデジタル・アナログ変換しているが、3ビットに限らず、2ビットや3ビット以上のデジタル映像信号D0～D2をデジタル・アナログ変換する構成に変更することも本発明の範囲である。この場合には、ビット数に応じて、ドレイン信号線61の本数、画素選択トランジスタ、電荷転送トランジスタ、容量素子の個数を変更すればよい。

【0071】

【発明の効果】本発明の表示装置によれば、画素部において、デジタル映像信号をアナログ映像信号に変換しているため、画素部の周辺回路の構成が簡単になり、その分画素面積を低減することができる。

【0072】また、ドライバ回路内にDA変換器を配置する場合と異なり、DA変換器の配置の領域に制限がないので、デジタル映像信号のビット数の増加と多階調表示に対応できる。

【0073】さらに、リフレッシュトランジスタのゲートを当該リフレッシュトランジスタが属する画素に走査信号を供給するゲート信号線に接続したので、リフレッシュトランジスタの制御信号線を削減できるので、その分画素面積を縮小することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶表示装置を示す回路図である。

【図2】本発明の第1の実施形態に係る点順次型の液晶表示装置を示す回路図である。

【図3】本発明の第1の実施形態に係る線順次型の液晶表示装置を示す回路図である。

(8)

13

【図4】本発明の第1の実施形態に係る液晶表示装置の動作を示すタイミング図である。

【図5】本発明の第2の実施形態に係る液晶表示装置の回路図である。

【図6】本発明の第2の実施形態に係るアナログモードの動作を示すタイミング図である。

【図7】本発明の第3の実施形態に係る液晶表示装置の回路図である。

【図8】本発明の第3の実施形態に係る液晶表示装置の動作を示すタイミング図である。

【図9】本発明の第3の実施形態に係る液晶表示装置の他の回路図である。

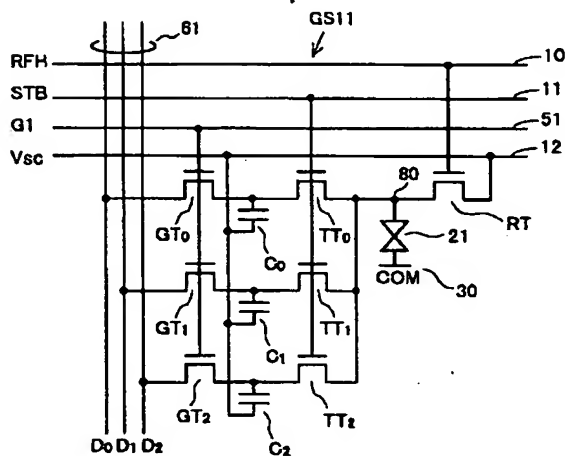
【図10】本発明の第4の実施形態に係る液晶表示装置の回路図である。

【図11】本発明の第4の実施形態に係る液晶表示装置の動作を示すタイミング図である。

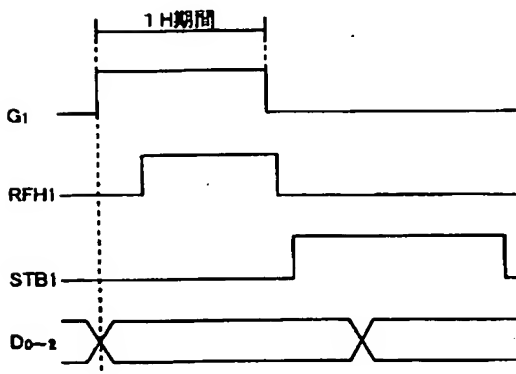
【図12】本発明の第4の実施形態に係る液晶表示装置の他の回路図である。

【図13】本発明の第4の実施形態に係る液晶表示装置の動作を示す他のタイミング図である。

【図1】



【図4】



14

【図14】本発明の第5の実施形態に係るエレクトロルミネッセンス表示装置の回路図である。

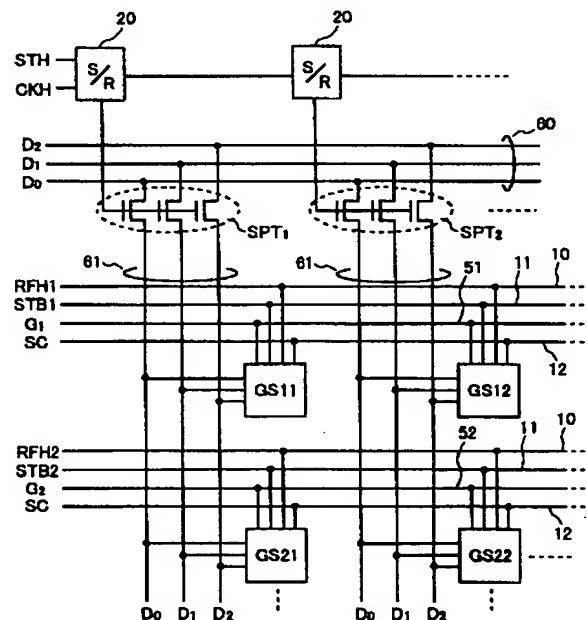
【図15】従来例に係る液晶表示装置の回路図である。

【符号の説明】

GT0~GT2	画素選択トランジスタ
TT0~TT2	電荷転送トランジスタ
RT	リフレッシュトランジスタ
C0~C2	容量素子
10	リフレッシュ信号線
11	ストロブ信号線
12	初期化電圧線
20	シフトレジスタ
21	液晶
25	第1のラッチ回路
26	第2のラッチ回路
30	対向電極
51	ゲート信号線
61	ドレイン信号線
SW	信号切換スイッチ

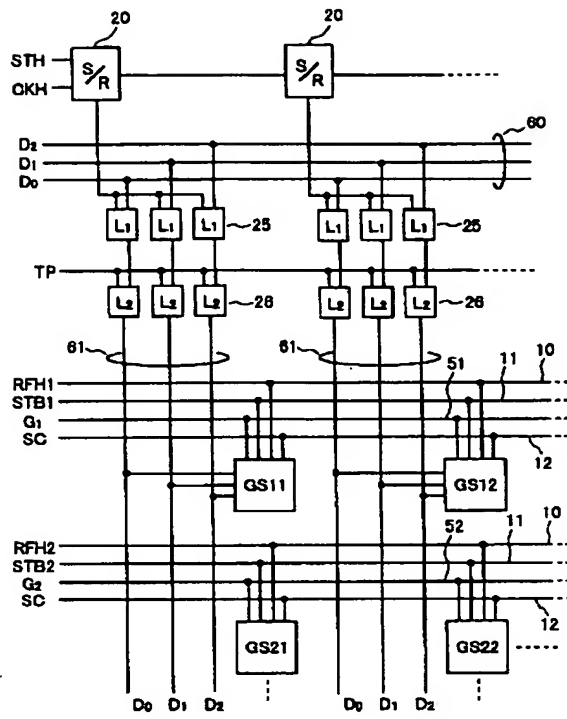
20

【図2】

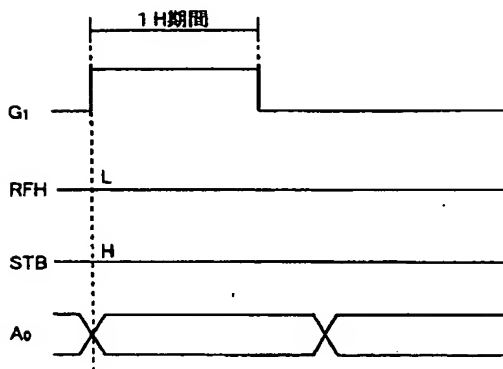


(9)

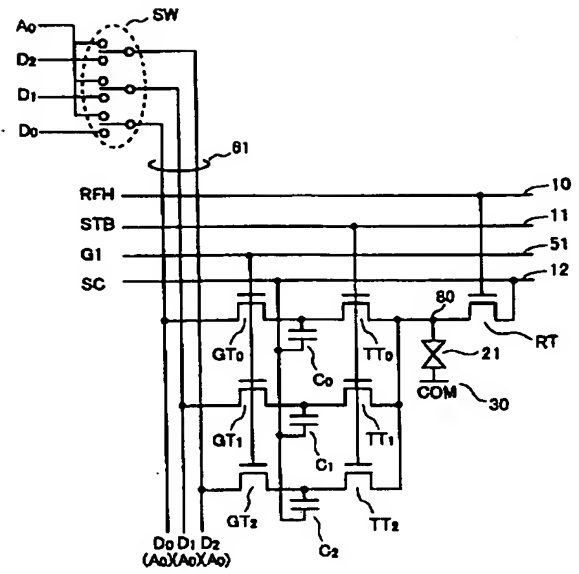
【図3】



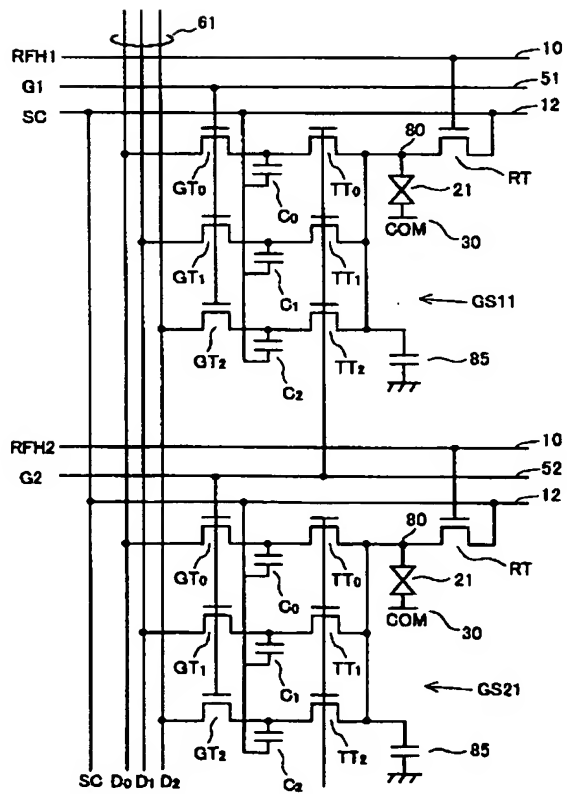
【図6】



【図5】

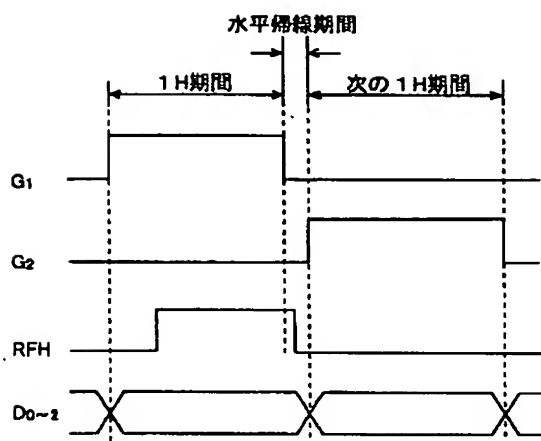


【図7】

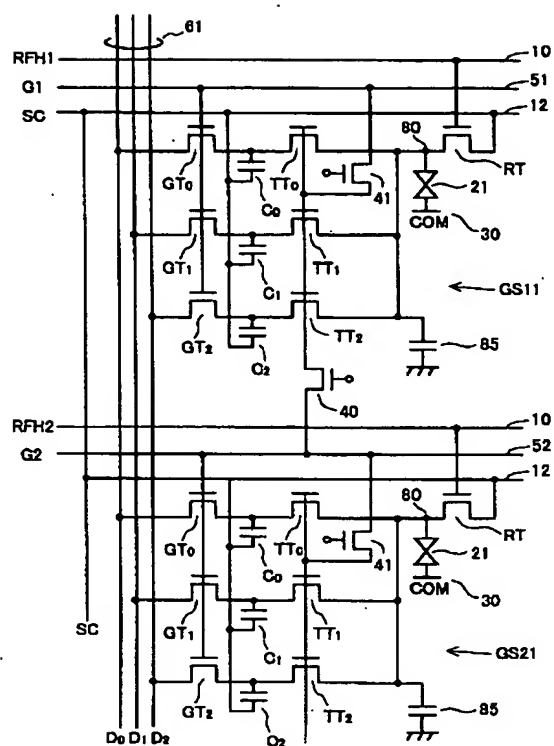


(10)

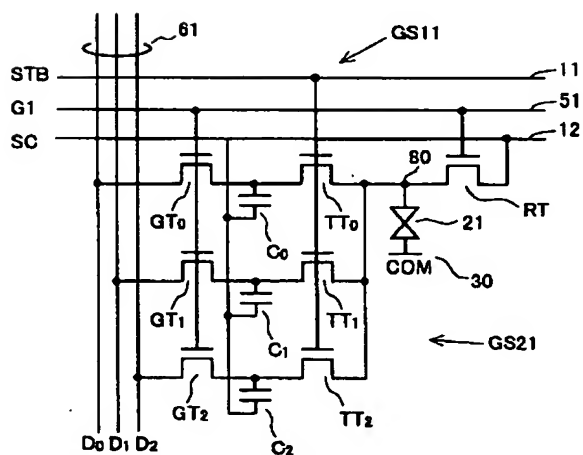
【図8】



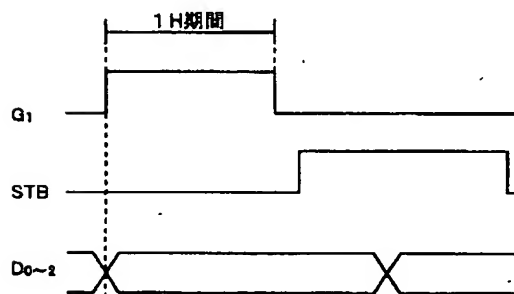
【図9】



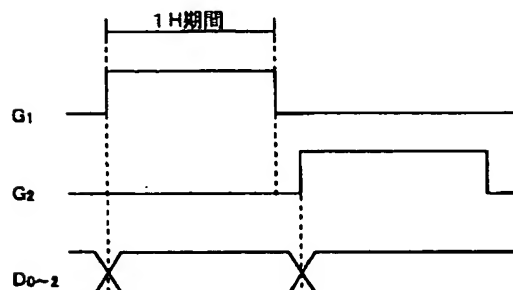
【図10】



【図11】

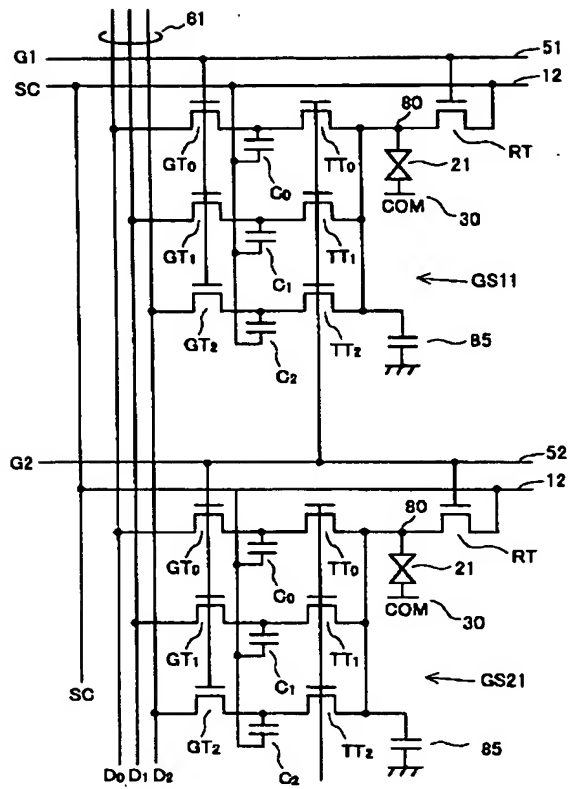


【図13】

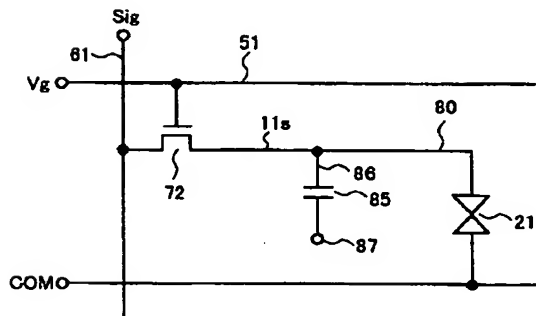


(11)

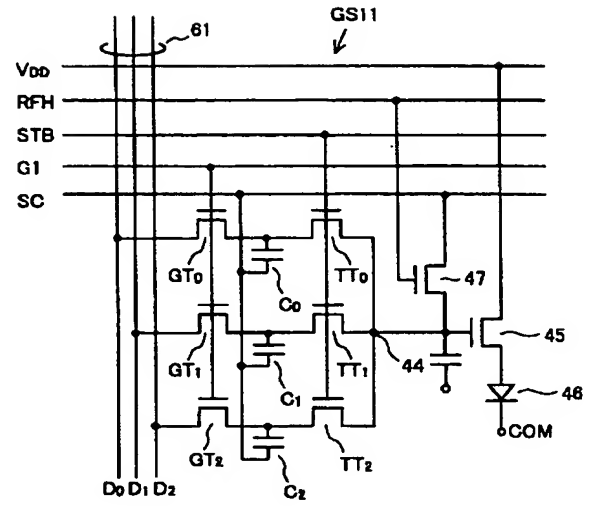
【図12】



【図15】



【図14】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

3/30

識別記号

6 4 1

6 8 0

F I

G 0 9 G 3/20

3/30

ターマード (参考)

6 4 1 C

6 8 0 G

J

K

(12)

Fターム(参考) 2H093 NA42 NC22 NC23 NC24 NC26
NC35 ND42 ND43
5C006 AA01 AA02 AA16 AC09 AF42
AF73 BB16 BC03 BC12 BC20
BC23 BF03 BF04 BF11 BF24
EB05 FA42
5C080 AA06 AA10 BB05 DD23 EE29
FF11 JJ02 JJ03 JJ04

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-099007

(43)Date of publication of application : 04.04.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
G09G 3/30

(21)Application number : 2001-290641

(71)Applicant : SANYO ELECTRIC CO LTD
TOTTORI SANYO ELECTRIC CO LTD

(22)Date of filing : 25.09.2001

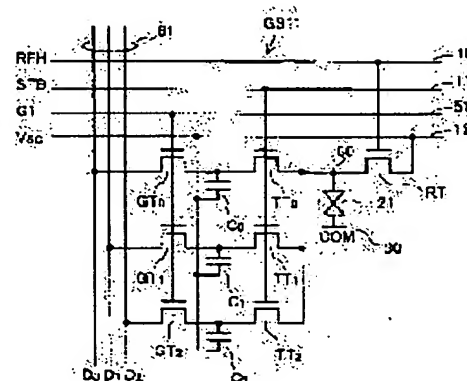
(72)Inventor : TSUTSUI YUSUKE

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a configuration of peripheral circuits of a pixel part, and thereby reduce a frame area of a panel accordingly.

SOLUTION: The display device is provided with a pixel electrode 80, a plurality of drain signal lines 61 for supplying digital video signals D0-D2, a plurality of capacitance elements C0-C2 weighted in the capacitance values correspondingly to the bits of the digital video signals D0-D2, a refresh transistor RT for initializing the voltage of the pixel electrode 80 to voltage Vsc, and charge transfer transistors TT0-TT2 for supplying the electric charges accumulated in the capacitance elements C0-C2 to the pixel electrode 80, and display is performed by supplying analog video signals corresponding to the digital video signals D0-D2 to the pixel electrode 80.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the display with which two or more pixels have been arranged at the line and the train for said every pixel A pixel electrode, Two or more drain signal lines which supply a digital video signal, and the pixel selection transistor which chooses a pixel according to the gate scan signal supplied from a gate signal line, While accumulating a digital video signal from said drain wire through said pixel selection transistor Two or more capacitive elements by which weighting of capacity value was made corresponding to the bit of this digital video signal, The charge transfer transistor which supplies the charge accumulated in said two or more capacitive elements to a pixel electrode, Before supplying said charge to said pixel electrode with said charge transfer transistor The display characterized by connecting with the gate signal line which supplies a scan signal to the pixel to which is equipped with the refresh transistor which initializes the electrical potential difference of said pixel electrode, and the refresh transistor concerned belongs the gate of said refresh transistor.

[Claim 2] The display according to claim 1 characterized by connecting the gate of said charge transfer transistor to the gate signal line of the following line.

[Claim 3] The display according to claim 1 or 2 characterized by preparing the auxiliary capacity for holding the charge supplied to said pixel electrode through said charge transfer transistor.

[Claim 4] In the display with which two or more pixels have been arranged at the line and the train for said every pixel An EL element, EL drive transistor which controls the current which flows to an EL element, and two or more drain signal lines which supply a digital video signal, While accumulating a digital video signal from said drain wire through the pixel selection transistor which chooses a pixel according to the gate scan signal supplied from a gate signal line, and said pixel selection transistor Two or more capacitive elements by which weighting of capacity value was made corresponding to the bit of this digital video signal, The charge transfer transistor which supplies the charge accumulated in said two or more capacitive elements to the gate of said EL drive transistor, Before supplying said charge to the gate of said EL drive transistor with said charge transfer transistor The display characterized by connecting with the gate signal line which supplies a scan signal to the pixel to which is equipped with the refresh transistor which initializes the electrical potential difference of the gate of said said EL drive transistor, and the refresh transistor concerned belongs the gate of said refresh transistor.

[Claim 5] The display according to claim 1 characterized by connecting the gate of said charge transfer transistor to the gate signal line of the following line.

[Claim 6] The display according to claim 4 or 5 characterized by preparing the auxiliary capacity for holding the charge supplied to the gate of said EL drive transistor through said charge transfer transistor.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the indicating equipment equipped with the DA translation function to change a digital video signal into an analog video signal, about an indicating equipment.

[0002]

[Description of the Prior Art] In recent years, the portable indicating equipment, for example, pocket television, the cellular phone, etc. are demanded as commercial-scene needs. Researches and developments are done briskly that it should correspond to miniaturization [of a display], lightweight-izing, and electrical-power-consumption-saving-ization according to this demand.

[0003] The circuitry Fig. of the 1 display pixel of the liquid crystal display applied to the conventional example at drawing 15 is shown. Two or more arrangement is carried out at the shape of a matrix at a line and a train, and this display pixel constitutes the pixel field of a display panel from an actual liquid crystal display.

[0004] On the insulating substrate (un-illustrating), the gate signal line 51 and the drain signal line 61 cross, and are formed, and the pixel selection thin film transistor 72 connected to both the signal lines 51 and 61 near [the] the intersection is formed. Hereafter, a thin film transistor is abbreviated to TFT. It connects with the pixel electrode 80 of liquid crystal 21 source 11s of the pixel selection TFT72.

[0005] Moreover, the electrical potential difference of the pixel electrode 80 is prepared in 1 field period and the auxiliary capacity 85 for holding, one terminal 86 of this auxiliary capacity 85 is connected at source 11s of the pixel selection TFT72, and potential common to each display pixel is impressed to the electrode 87 of another side.

[0006] Here, if a scan signal (H level) is impressed to the gate signal line 51, while the pixel selection TFT72 will be in an ON state and an analog video signal will be transmitted to the pixel electrode 80 from the drain signal line 61, it is held at the auxiliary capacity 85. The video-signal electrical potential difference impressed to the pixel electrode 80 is impressed to liquid crystal 21, and when liquid crystal 21 carries out orientation according to the electrical potential difference, a liquid crystal display can be obtained. Therefore, a liquid crystal display can be performed regardless of a dynamic image and a static image.

[0007] By the way, the analog video signal inputted into the drain signal line 61 carries out digital to analog of the input digital video signal with a DA converter, and is acquired. Conventionally, in the liquid crystal display which contains a DA converter in the interior of a display panel, the DA converter was arranged to the driver circuit of a pixel periphery.

[0008]

[Problem(s) to be Solved by the Invention] However, in the conventional liquid crystal display, since the DA converter was arranged in the driver circuit arranged at the frame of a display panel, while the circumference circuit of the pixel section became complicated, there was a problem that the frame area of a display panel increased. When inputting a gradation electrical potential difference from the outside especially, the number of wiring of a gradation voltage signal will increase in proportion to the square of

the number of gradation.

[0009] Moreover, the width of face which can arrange a DA converter has a limit for the sake of the convenience which arranges a DA converter corresponding to each train of a pixel. 4 bits of the DA converter which can be arranged to the width of face are a limitation. Therefore, in the conventional liquid crystal display, the limitation was produced also in the number of gradation.

[0010]

[Means for Solving the Problem] In the display with which it succeeded in the display of this invention in view of the technical problem mentioned above, and two or more pixels have been arranged at the line and the train Two or more drain signal lines which supply a pixel electrode and a digital video signal for said every pixel, While accumulating a digital video signal from said drain wire through the pixel selection transistor which chooses a pixel according to the gate scan signal supplied from a gate signal line, and said pixel selection transistor Two or more capacitive elements by which weighting of capacity value was made corresponding to the bit of this digital video signal, The charge transfer transistor which supplies the charge accumulated in said two or more capacitive elements to a pixel electrode, Before supplying said charge to said pixel electrode with said charge transfer transistor It has the refresh transistor which initializes the electrical potential difference of said pixel electrode, and is characterized by connecting with the gate signal line which supplies a scan signal to the pixel to which the refresh transistor concerned belongs the gate of said refresh transistor.

[0011] Since it becomes possible to display by carrying out digital to analog of the digital video signal in the pixel section according to this configuration, while becoming easy about the circumference circuit of the pixel section, it becomes possible to make frame area of a display panel small.

[0012] Furthermore, since it connected with the gate signal line which supplies a scan signal to the pixel to which the refresh transistor concerned belongs the gate of a refresh transistor and the control signal lines of a refresh transistor are reducible, the fractionation sober product is reducible.

[0013]

[Embodiment of the Invention] Next, it explains, referring to a drawing about the display concerning the 1st operation gestalt of this invention. Drawing 1 R> 1 is the circuit diagram of the display concerning the 1st operation gestalt. In drawing, although only the one pixel section is shown since it is easy, with the actual display, two or more these pixel sections are arranged in the shape of a matrix at the line and the train.

[0014] The gate signal line 51 is arranged in the one direction on an insulating substrate (un-illustrating). The scan signal G1 is supplied to the gate signal line 51 from a gate driver (un-illustrating). Three drain signal lines 61 are arranged in the direction which intersects the gate signal line G1. The data corresponding to each bit of a digital video signal are inputted into the drain signal line 61 from the outside. The most significant bit is outputted to the drain signal line D0 at the least significant bit and the drain signal line D2. Although the number of bits of a digital video signal is a triplet with this operation gestalt, the display of many gradation is still more possible by making the number of bits of this digital video signal increase. On the contrary, it is possible by decreasing the number of bits of a digital video signal to simplify the circuit arranged in a pixel as a display of low gradation.

[0015] The pixel selection transistors GT0-GT2 are connected corresponding to each drain signal line 61. The pixel selection transistors GT0-GT2 are constituted from TFT (Thin Film Transistor) of an N channel mold by each. The gate scan signal G1 is supplied to each gate of the pixel selection transistors GT0-GT2 in common, and the capacitive elements C0-C2 for accumulating the charge according to each bit of the digital video signal written in through the pixel selection transistors GT0-GT2 are connected to each of that source.

[0016] As for the capacity value of capacitive elements C0-C2, weighting is made according to each bit of a digital video signal. That is, when capacity value which the capacitive element C0 corresponding to the least significant bit has is set to C, the capacitive element [as opposed to 2C and the most significant bit in the capacitive element C1 corresponding to the following bit] C2 has

the capacity value of capacity 4C, respectively. What is necessary is to change the opposed face product of a capacity electrode, or just to change a capacity inter-electrode distance for every capacitative element, in order to carry out weighting of such capacity value.

[0017] The charge transfer transistors TT0-TT2 are connected between the pixel electrode 80 of liquid crystal 21, and the pixel selection transistors GT0-GT2. That is, common connection of the source of the charge transfer transistors TT0-TT2 is made at the pixel electrode 80. The counter electrode driving signal COM is impressed to a counterelectrode 30 (it is also called a common electrode).

[0018] The charge transfer transistors TT0-TT2 are constituted from TFT of an N channel mold by each. The strobe signal line 11 is connected to the gate of these charge transfer transistors TT0-TT2 in common, and strobe signal STB is supplied in common. The charge transfer transistors TT0-TT2 supply the charge accumulated in the capacitative elements C0-C2 mentioned above to the pixel electrode 80 according to strobe signal STB starting high-level. Thereby, the electrical potential difference according to the digital video signals D0-D2, i.e., the electrical potential difference on which digital to analog was made, is impressed to the pixel electrode 80.

[0019] The refresh transistor RT is a transistor for initializing the electrical potential difference of the pixel electrode 80 on the predetermined electrical potential difference Vsc, and the gate is connected to the refresh signal line 10 which supplies the refresh signal RFH at the initialization electrical-potential-difference line 12 by which, as for the drain, the electrical potential difference Vsc was supplied to the pixel electrode 80, as for the source, respectively. That is, the refresh signal RFH turns on the refresh transistor RT according to starting to high level, and it initializes the electrical potential difference of the pixel electrode 80 on an electrical potential difference Vsc.

[0020] Here, after the electrical potential difference of the pixel electrode 80 is initialized by the refresh transistor RT, the charge transfer transistors TT0-TT2 turn on, and the charge accumulated in the pixel electrode 80 at capacitative elements C0-C2 is supplied. Thereby, the electrical potential difference according to the digital video signals D0-D2 is always correctly supplied to the pixel electrode 80.

[0021] It asks for the electrical potential difference Vpix of the pixel electrode 80 at this time. The following formulas will be realized if capacity of VD and liquid crystal 21 is set to CLC for the amplitude electrical potential difference of the digital video signals D0-D2.

[0022]

[Equation 1]

$$C \cdot V_D (D_0 + 2D_1 + 4D_2) + C_{LC} \cdot V_{sc} = (C + 2C + 4C + C_{LC}) \cdot V_{pix}$$

[0023] Vpix is expressed with a degree type from this formula.

[0024]

[Equation 2]

$$V_{pix} = [C \cdot V_D (D_0 + 2D_1 + 4D_2) + C_{LC} \cdot V_{sc}] / (7C + C_{LC})$$

[0025] Next, the whole liquid crystal display configuration mentioned above is explained, referring to drawing 2 and drawing 3.

[0026] Generally, a liquid crystal display has the thing of a dot order degree type and a line sequential mold. A dot order degree type liquid crystal display writes a video signal in each pixel one after another according to a sampling pulse. On the other hand, the liquid crystal display of a line sequential mold holds the video signal of a 1 level period according to a sampling pulse, and outputs the held video signal to each drain signal line according to a transfer pulse.

[0027] Drawing 2 is the circuit diagram showing an example at the time of applying this invention to a dot order degree type liquid crystal display. The pixel GS 11 shown in drawing 1, the same pixels GS12, GS21, and GS22, and .. are arranged at the line and the train. And the refresh signal RFH1, strobe signal STB1, the scan signal G1, and the electrical potential difference Vsc for initialization are supplied to the pixels GS11 and GS12 of the 1st line, and .. Moreover, the refresh signal RFH2, strobe signal STB2, the

scan signal G2, and the electrical potential difference Vsc for initialization are supplied to the pixels GS21 and GS22 of the 2nd line, and ..

[0028] The digital video signals D0-D2 are supplied to three signal lines 60, and the sampling transistors SPT1 and SPT2 which sample the digital video signals D0-D2 on a signal line 60, and are supplied to the drain signal line 61 for every train .. is prepared. Sampling transistors SPT1 and SPT2 .. The sampling pulse from a shift register 20 is supplied to the gate.

[0029] A shift register 20 creates the sampling pulse which carried out the sequential shift of level start signal STH according to the level clock CKH. the standup of this sampling pulse -- responding -- the sampling transistors SPT1 and SPT2 .. turns on one by one, the digital video signals D0-D2 are sampled, and the drain signal line 61 is supplied.

[0030] Drawing 3 is the circuit diagram showing an example at the time of applying this invention to the liquid crystal display of a line sequential mold. Since it is completely the same as a dot order degree type about the configuration of a pixel field, explanation is omitted. Sequential supply of the digital video signals D0-D2 is carried out at three signal lines 60. And the 1st latch circuit 25 which latches the digital video signals D0-D2 is formed for every train.

[0031] This latch circuit 25 samples the digital video signals D0-D2 on a signal line 60 according to a sampling pulse, and holds only a 1 level period. A sampling pulse is created with a shift register 20. That is, a shift register 20 creates the sampling pulse which carried out the sequential shift of the level start signal according to the level clock CKH.

[0032] Based on the transfer pulse TP generated after 1 level period termination, the digital video signals D0-D2 held at the 1st latch circuit 25 are latched to the 2nd latch circuit 26, and are outputted to the drain signal line 61 at coincidence.

[0033] Next, the timing of the liquid crystal display of a configuration of having mentioned above of operation is explained. The timing chart of a liquid crystal display is shown in drawing 4 . The case where it displays about the pixel GS 11 shown in drawing 1 is considered. First, the scan signal G1, the refresh signal RFH1, and strobe signal STB1 are lows, and turn off altogether the pixel selection transistors GT0-GT2, the refresh transistor RT, and the charge transfer transistors TT0-TT2. The scan signal G1 starts from this condition to a 1 level period and a high.

[0034] Then, the pixel selection transistors GT0-GT2 turn on, and the charge according to each bit of the digital video signals D0-D2 is accumulated in capacitive elements C0-C2. In addition, the timing from which the digital video signals D0-D2 change changes with a dot order degree type or line sequential molds, as mentioned above. In the dot order degree type, since the timing synchronizes with the timing which a sampling pulse generates, it shifts one by one for every pixel arranged by the line writing direction. On the other hand, with the line sequential mold, in order to synchronize with a transfer pulse, it is fixed by each pixel.

[0035] Subsequently, if the refresh signal RFH1 starts to a high, the refresh transistor RT will turn on, the charge accumulated in the pixel electrode 80 before will discharge, and it will be initialized by the electrical potential difference Vsc.

[0036] Next, the scan signal G1 falls and the pixel selection transistors GT0-GT2 turn off. Thereby, since both the pixel selection transistors GT0-GT2 and the charge transfer transistors TT0-TT2 turn off, capacitive elements C0-C2 are isolated electrically temporarily. Next, if the refresh signal RFH falls to a low, the refresh transistor RT turns off. Thereby, the pixel electrode 80 is isolated electrically.

[0037] Then, strobe signal STB1 starts to a high, and the charge transfer transistors TT0-TT2 turn on. Then, the charge accumulated in capacitive elements C0-C2 is supplied to the pixel electrode 80 through the charge transfer transistors TT0-TT2. The electrical potential difference Vpix according to the digital video signals D0-D2, i.e., the electrical potential difference on which digital to analog was made, is impressed to the pixel electrode 80 of liquid crystal 21 by this, and the gradation display according to the digital video signals D0-D2 can be performed.

[0038] In addition, although the 1st operation gestalt mentioned above is related with the liquid crystal

display which is a display of armature-voltage control, it can be changed into the display of current control like a electroluminescence display like the 5th operation gestalt mentioned later. In this case, electroluminescence equipment can be constituted as it is by replacing liquid crystal 21 with an EL element and EL drive transistor. This point is the same also about the 2nd [which is explained below], 3rd, and 4th operation gestalten.

[0039] Next, it explains, referring to a drawing about the display concerning the 2nd operation gestalt of this invention. Drawing 5 is the circuit diagram of the liquid crystal display concerning the 2nd operation gestalt. In drawing, although only the one pixel section is shown since it is easy, with the actual display, two or more these pixel sections are arranged in the shape of a matrix at the line and the train. With this operation gestalt, the signal change-over switch SW which switches any of the digital video signals D0-D2 or the analog video signal A0 they are to three drain signal lines 61, and is supplied is formed. The condition that analog mode and the signal selecting switch SW have chosen the digital video signals D0-D2 for the condition that the signal selecting switch SW has chosen the analog video signal A0, hereafter will be called digital mode. Other circuitry is the same as that of the display of drawing 1 .

[0040] Next, the timing of the liquid crystal display of a configuration of having mentioned above of operation is explained. In digital mode, the digital video signals D0-D2 are outputted to the drain signal line 61 like the 1st operation gestalt. The actuation is completely the same as the thing of the 1st operation gestalt. The timing chart is the same as drawing 4 .

[0041] On the other hand, in analog mode, the analog video signal A0 is outputted by switch of the signal change-over switch SW common to three drain signal lines 61. Next, it explains, referring to the timing chart of drawing 6 about actuation in analog mode.

[0042] In this case, in the refresh signal RFH, it is a low, a strobe signal is always a high, and the refresh transistor RT always turns on OFF and the charge transfer transistors TT0-TT2. If the scan signal G1 starts to a 1 level period and a high, the pixel selection transistors GT0-GT2 will turn on, and the electrical potential difference according to the analog video signal A0 will be supplied to the pixel electrode 80 of liquid crystal 21. That is, in analog mode, a display pixel is changed so that it may function as the display pixel of the conventional example shown in drawing 15 similarly. Here, capacitive elements C0-C2 work as an auxiliary capacity 85, and commit the pixel selection transistors GT0-GT2 as a transistor 72.

[0043] Next, it explains, referring to a drawing about the display concerning the 3rd operation gestalt of this invention. Drawing 7 is the circuit diagram of the liquid crystal display concerning the 3rd operation gestalt. In drawing, although only the two pixel sections are shown since it is easy, with the actual display, two or more these pixel sections are arranged in the shape of a matrix at the line and the train.

[0044] The display concerning this operation gestalt simplifies the layout of the display concerning the 1st operation gestalt. Like the above-mentioned explanation, after the pixel selection transistors GT0-GT2 turn off the charge transfer transistors TT0-TT2, they should just carry out fixed period ON. Then, the gate of the charge transfer transistors TT0-TT2 is connected to the gate signal line 52 of the following line, and the scan signal G2 was supplied.

[0045] Since the strobe signal 11 for controlling the charge transfer transistors TT0-TT2 can be deleted by this, the part pixel can be made detailed. With this operation gestalt, since the charge transfer transistors TT0-TT2 turn on only a 1 level period (period of a high [signal / G2 / scan]) and are turned off after that, capacitive elements C0-C2 do not function enough as an auxiliary capacity. Then, in order to hold the electrical potential difference of the pixel electrode 80 to 1 field period and stability, it is required to form the auxiliary capacity 85 in addition to this.

[0046] Next, the timing of the liquid crystal display of a configuration of having mentioned above of operation is explained. The timing chart of a liquid crystal display of operation is shown in drawing 8 . First, the scan signal G1, the refresh signal RFH, and a strobe signal are lows, and the pixel selection transistors GT0-GT2, the refresh transistor RT, and the charge transfer transistors TT0-TT2 are turned off altogether. The scan signal G1 starts from this condition to a 1 level period and a high.

[0047] Then, the pixel selection transistors GT0-GT2 turn on, and the charge according to each bit of the digital video signals D0-D2 is accumulated in capacitive elements C0-C2. Subsequently, if the refresh signal RFH starts to a high, the refresh transistor RT will turn on, the charge accumulated in the pixel electrode 80 before will discharge, and it will be initialized by the electrical potential difference Vsc. Next, if the refresh signal RFH falls to a low, the refresh transistor RT turns off. And the scan signal G2 starts to the next 1 level period and a high through a horizontal blanking interval after termination of a 1 level period. Then, the charge which the charge transfer transistors TT0-TT2 turned on, and was accumulated in capacitive elements C0-C2 is supplied to the pixel electrode 80 through the charge transfer transistors TT0-TT2. The electrical potential difference Vpix according to the digital video signals D0-D2, i.e., the electrical potential difference on which digital to analog was made, is impressed to the pixel electrode 80 of liquid crystal 21 by this, and the gradation display according to the digital video signals D0-D2 can be performed.

[0048] In addition to the above-mentioned configuration, the signal change-over switch SW which switches any of the digital video signals D0-D2 or the analog video signal A0 they are to three drain signal lines 61, and is supplied can also be formed. In this case, as shown in drawing 9, in the case of analog mode, the transistor 41 which connects to the gate signal line 51 the gate where the transistor 40 for separating the gate of the charge transfer transistors TT0-TT2 from the gate signal line 52 and the charge transfer transistors TT0-TT2 were separated may be formed.

[0049] Thereby, at the time of digital mode, the scan signal G2 of the following line is supplied, and the scan signal G1 of the line is supplied to the gate of the charge transfer transistors TT0-TT2 at the time of analog mode. Therefore, while being able to perform the gradation display according to the digital video signals D0-D2 like the above at the time of digital mode, at the time of analog mode, the gradation display according to the analog video signal A0 is attained.

[0050] In addition, even if it is the case where from the signal change-over switch SW and a switch in digital mode and analog mode is performed, the above-mentioned transistors 40 and 41 are not necessarily required. For example, when two lines is chosen as coincidence at the time of analog mode, it is the case where a gate driver is constituted so that the scan signals G1 and G2 may become a high two lines at a time to coincidence.

[0051] Next, it explains, referring to a drawing about the display concerning the 4th operation gestalt of this invention. Drawing 10 is the circuit diagram of the liquid crystal display concerning the 4th operation gestalt. In drawing, although only the one pixel section is shown since it is easy, with the actual display, two or more these pixel sections are arranged in the shape of a matrix at the line and the train.

[0052] The display concerning this operation gestalt simplifies the layout of the display concerning the 1st operation gestalt. Although the refresh transistor RT initializes the pixel electrode 80 of liquid crystal on an electrical potential difference Vsc, this initialization lets the charge transfer transistors TT0-TT2 pass, and before the charge accumulated in capacitive elements C0-C2 is supplied to the pixel electrode 80, it is performed. Therefore, what is necessary is just to turn on the refresh transistor RT, before the charge transfer transistors TT0-TT2 turn on. So, the gate of the refresh transistor RT was connected to the gate signal line 51 of the pixel GS 11 with this operation gestalt. Other configurations are the same as that of the 1st operation gestalt. Since the refresh signal line 10 for supplying the refresh signal RFH can be deleted by this, the fractionation sober product can be contraction-ized.

[0053] Next, the timing of the liquid crystal display of a configuration of having mentioned above of operation is explained. The timing chart of a liquid crystal display is shown in drawing 11. First, the scan signal G1 and a strobe signal are lows, and the pixel selection transistors GT0-GT2, the refresh transistor RT, and the charge transfer transistors TT0-TT2 are turned off altogether. The scan signal G1 starts from this condition to a 1 level period and a high.

[0054] Then, the pixel selection transistors GT0-GT2 turn on, and the charge according to each bit of the digital video signals D0-D2 is accumulated in capacitive elements C0-C2. The refresh transistor

RT turns on in coincidence, the charge accumulated in the pixel electrode 80 before discharges to it, and it is initialized by the electrical potential difference V_{sc} at it.

[0055] After a 1 level period expires, the scan signal G1 falls to a low, and turns off the pixel selection transistors GT0-GT2 and the refresh transistor RT. Then, if strobe signal STB starts, the charge which the charge transfer transistors TT0-TT2 turned on, and was accumulated in capacitive elements C0-C2 will be supplied to the pixel electrode 80 through the charge transfer transistors TT0-TT2. The electrical potential difference V_{pix} according to the digital video signals D0-D2, i.e., the electrical potential difference on which digital to analog was made, is impressed to the pixel electrode 80 of liquid crystal 21 by this, and the gradation display according to the digital video signals D0-D2 can be performed.

[0056] The gate of the charge transfer transistors TT0-TT2 is connected to the gate signal line 52 of the following line, and you may make it supply the scan signal G2 like the 3rd operation gestalt in the operation gestalt of the above 4th. The configuration of this liquid crystal display was shown in drawing 12. Thereby, since the strobe signal line 11 can also be deleted in addition to the refresh signal line 10, pixel area can be further made detailed.

[0057] Next, the timing of the liquid crystal display of a configuration of having mentioned above of operation is explained. The timing chart of a liquid crystal display is shown in drawing 13. First, the scan signal G1 and a strobe signal are lows, and the pixel selection transistors GT0-GT2, the refresh transistor RT, and the charge transfer transistors TT0-TT2 are turned off altogether. The scan signal G1 starts from this condition to a 1 level period and a high.

[0058] Then, the pixel selection transistors GT0-GT2 turn on, and the charge according to each bit of the digital video signals D0-D2 is accumulated in capacitive elements C0-C2. The refresh transistor RT turns on in coincidence, the charge accumulated in the pixel electrode 80 before discharges to it, and it is initialized by the electrical potential difference V_{sc} at it.

[0059] Next, if the scan signal G1 falls to a low, the pixel selection transistors GT0-GT2 and the refresh transistor RT turn off. And the scan signal G2 starts to the next 1 level period and a high through a horizontal blanking interval after termination of a 1 level period. Then, the charge which the charge transfer transistors TT0-TT2 turned on, and was accumulated in capacitive elements C0-C2 is supplied to the pixel electrode 80 through the charge transfer transistors TT0-TT2. The electrical potential difference V_{pix} according to the digital video signals D0-D2, i.e., the electrical potential difference on which digital to analog was made, is impressed to the pixel electrode 80 of liquid crystal 21 by this, and the gradation display according to the digital video signals D0-D2 can be performed.

[0060] Next, it explains, referring to a drawing about the display concerning the 5th operation gestalt of this invention. Drawing 14 is the circuit diagram of the display concerning the 5th operation gestalt. In drawing, although only the one pixel section is shown since it is easy, with the actual display, two or more arrangement of this pixel section is carried out on the matrix. Moreover, the same sign is attached about the same component as drawing 1 explaining the 1st operation gestalt, and the explanation is omitted.

[0061] This operation gestalt is the example which applied this invention to the electroluminescence display. The source 44 with which common connection of the charge transfer transistors TT0-TT2 was made is connected to the gate of EL drive transistor 45. EL drive transistor 45 is the N channel mold TFT. Supply voltage VDD is supplied to the source of EL drive transistor 45, and the drain is connected to EL element 46. EL element 46 is a light emitting device which emits light by the brightness according to the magnitude of the current which flows for a component.

[0062] The refresh transistor 47 for initializing the gate voltage of EL drive transistor 46 on an electrical potential difference V_{sc} is connected to the gate of EL drive transistor 45. About other configurations, it is the same as that of the 1st operation gestalt.

[0063] The timing of the liquid crystal display of a configuration of having mentioned above of operation is explained referring to drawing 4. The scan signal G1, the refresh signal RFH1, and strobe signal STB1

are lows, and turn off altogether the pixel selection transistors GT0-GT2, the refresh transistor RT, and the charge transfer transistors TT0-TT2. The scan signal G1 starts from this condition to a 1 level period and a high.

[0064] Then, the pixel selection transistors GT0-GT2 turn on, and the charge according to each bit of the digital video signals D0-D2 is accumulated in capacitive elements C0-C2. Subsequently, if the refresh signal RFH starts to a high, the refresh transistor RT will turn on, the charge accumulated in the gate of EL drive transistor 45 before will discharge, and it will be initialized by the electrical potential difference V_{sc} .

[0065] Next, if the refresh signal RFH falls to a low, the refresh transistor RT turns off. Then, strobe signal STB starts to a high and the charge transfer transistors TT0-TT2 turn on. Then, the charge accumulated in capacitive elements C0-C2 lets the charge transfer transistors TT0-TT2 pass, and is supplied to the gate of EL drive transistor 45.

[0066] Thereby, the electrical potential difference V_{pix} according to the digital video signals D0-D2, i.e., the electrical potential difference on which digital to analog was made, is impressed to the gate of EL drive transistor 45. Since the conductivity of EL drive transistor 45 changes according to an electrical potential difference V_{pix} , the current which flows to EL drive transistor 45 changes according to an electrical potential difference V_{pix} , and the current which flows to EL element 46 changes similarly. Therefore, EL element 46 emits light by the brightness according to the digital video signals D0-D2. That is, a gradation display can be performed.

[0067] Moreover, about a electroluminescence display, the configuration of the 2nd, 3rd, and 4th operation gestalt mentioned above is applicable. That is, the signal change-over switch SW which switches any of the digital video signals D0-D2 or the analog video signal A0 they are to three drain signal lines 61, and is supplied may be formed like the 2nd operation gestalt.

[0068] Moreover, in order to simplify a layout and to reduce pixel area like the 3rd operation gestalt, the gate of the charge transfer transistors TT0-TT2 may be connected to the gate signal line 52 of the following line, and the scan signal G2 may be supplied. Moreover, in order to simplify a layout and to reduce pixel area like the 4th operation gestalt, the gate of the refresh transistor RT may be connected to the gate signal line 51 of the pixel GS 11.

[0069] In addition, the indication of the operation gestalt mentioned above does not limit the claim and the equal range of this application, it is the range which does not deviate from the meaning of this invention, various modification is possible, and invention indicated by the claim includes these the modification of all.

[0070] for example, operation gestalt [of ** a 1st] - although digital to analog of the digital video signals D0-D2 of a triplet is carried out with the 5th operation gestalt, it is the range of this invention not only a triplet but to change the digital video signals D0-D2 more than 2 bits or a triplet into the configuration which carries out digital to analog. In this case, what is necessary is just to change the number of the number of the drain signal line 61, a pixel selection transistor, a charge transfer transistor, and a capacitive element according to the number of bits.

[0071]

[Effect of the Invention] According to the indicating equipment of this invention, in the pixel section, since the digital video signal is changed into the analog video signal, the configuration of the circumference circuit of the pixel section becomes easy, and the area of the part frame can be reduced.

[0072] Moreover, since there is no limit in the field of arrangement of a DA converter unlike the case where a DA converter is arranged in a driver circuit, it can respond to the increment in the number of bits and multi-gradation display of a digital video signal.

[0073] Furthermore, since it connected with the gate signal line which supplies a scan signal to the pixel to which the refresh transistor concerned belongs the gate of a refresh transistor and the control signal lines of a refresh transistor are reducible, the fractionation sober product is reducible.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the liquid crystal display concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing the dot order degree type liquid crystal display concerning the 1st operation gestalt of this invention.

[Drawing 3] It is the circuit diagram showing the liquid crystal display of the line sequential mold concerning the 1st operation gestalt of this invention.

[Drawing 4] It is the timing chart showing actuation of the liquid crystal display concerning the 1st operation gestalt of this invention.

[Drawing 5] It is the circuit diagram of the liquid crystal display concerning the 2nd operation gestalt of this invention.

[Drawing 6] It is the timing chart showing actuation in the analog mode concerning the 2nd operation gestalt of this invention.

[Drawing 7] It is the circuit diagram of the liquid crystal display concerning the 3rd operation gestalt of this invention.

[Drawing 8] It is the timing chart showing actuation of the liquid crystal display concerning the 3rd operation gestalt of this invention.

[Drawing 9] They are other circuit diagrams of the liquid crystal display concerning the 3rd operation gestalt of this invention.

[Drawing 10] It is the circuit diagram of the liquid crystal display concerning the 4th operation gestalt of this invention.

[Drawing 11] It is the timing chart showing actuation of the liquid crystal display concerning the 4th operation gestalt of this invention.

[Drawing 12] They are other circuit diagrams of the liquid crystal display concerning the 4th operation gestalt of this invention.

[Drawing 13] They are other timing charts showing actuation of the liquid crystal display concerning the 4th operation gestalt of this invention.

[Drawing 14] It is the circuit diagram of the electroluminescence display concerning the 5th operation gestalt of this invention.

[Drawing 15] It is the circuit diagram of the liquid crystal display concerning the conventional example.

[Description of Notations]

GT0-GT2 Pixel selection transistor

TT0-TT2 Charge transfer transistor

RT Refresh transistor

C0-C2 Capacitative element
10 Refresh Signal Line
11 Strobe Signal Line
12 Initialization Electrical-Potential-Difference Line 12
20 Shift Register
21 Liquid Crystal
25 1st Latch Circuit
26 2nd Latch Circuit
30 Counterelectrode
51 Gate Signal Line
61 Drain Signal Line
SW Signal change-over switch

[Translation done.]